

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-125205

(43)Date of publication of application : 28.05.1991

(51)Int.Cl.

G05F 3/26
B41J 2/45
B41J 2/455
G09G 3/28

(21)Application number : 01-263471

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 09.10.1989

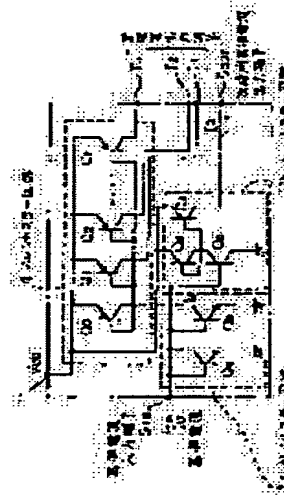
(72)Inventor : SAITO MINORU

(54) MULTI-OUTPUT TYPE CONSTANT CURRENT SUPPLY INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To omit the correction of a constant current to each integrated circuit IC by providing a reference current generating means which outputs a current equal to a reference current supplied from an external constant current source to an IC of the next stage based on the reference current.

CONSTITUTION: A reference current input terminal SIN is provided to receive a reference current IO from an external constant current source together with a current mirror circuit 3 which obtains a constant current equal to the current IO received via the terminal SIN, and a current mirror circuit 4 which generates many constant current outputs opposite in 1:1 to the constant current output terminals T1-Tn. A current mirror circuit 5 consists of transistors Qc, Qd and Qe and produces a constant current IO equivalent to the reference current IO. The constant current IO is used as a reference current of the IC of the next stage and outputted via a reference current output terminal SOUT for the next stage. In such a constitution, the variance is reduced for the reference current produced by a constant current source for each IC. Then no correction is required for the constant current value of each IC.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-125205

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月28日

G 05 F 3/26
B 41 J 2/45
G 09 G 2/455
3/28

8938-5H

Z

8725-5C
7611-2C

B 41 J 3/21

L

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 多出力型定電流供給用集積回路

⑯ 特 願 平1-263471

⑰ 出 願 平1(1989)10月9日

⑱ 発 明 者 齊 藤 実 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑲ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑳ 代 理 人 弁理士 山口 巖

明 細 書

1. 発明の名称

多出力型定電流供給用集積回路

2. 特許請求の範囲

(1) 基準電流入力端子と、その基準電流に基づいて第1の定電流を出力する多数の定電流生成手段と、各定電流生成手段に1対1に対応した定電流出力端子と、入来する該基準電流に基づいてその値と実質的に等しい第2の定電流を出力する基準電流生成手段と、この手段に対応した次段用基準電流出力端子とを備えることを特徴とする多出力型定電流供給用集積回路。

(2) 前記基準電流生成手段がカレントミラー回路であることを特徴とする請求項第1項に記載の多出力型定電流供給用集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、LEDプリンタ、DC形プラズマディスプレイ等に使用される多数の定電流出力端子を備えた多出力型電流供給用集積回路に関する。

(従来の技術)

例えばLEDプリンタヘッドに用いられるLED(発光ダイオード)駆動用集積回路は、第3図に示すように、V_{cc}電源端子1に接続される外部電源に基づいて基準電流I₀を得る定電流源2と、素子特性が相等しいNPNトランジスタQ₀、Q₁で構成され、基準電流I₀と等しい定電流を得るカレントミラー回路3と、素子特性の相等しいPNPトランジスタQ₂、Q₃、Q₄で構成され多数の定電流出力を得るカレントミラー回路4と、各定電流出力をLEDに供給すべき定電流出力端子T₁～T_nとを備えている。このLED駆動用集積回路は多数(例えば64ビット)の定電流出力端子T₁～T_nを有しているが、更に多数のLEDを駆動させるためには、複数個のLED駆動用集積回路が用いられる。

第4図は3個のLED駆動用集積回路10、20、30を使用して3n個のLEDを駆動させる状態を示す回路図である。かかる場合、各LED駆動用集積回路10、20、30には夫々n個のLEDが接続

され、電源 V_{DD} も端子1を介して夫々接続されている。

(発明が解決しようとする課題)

上記のLED駆動用集積回路には電源 V_{DD} から基準電流 I を生成する定電流源2が含まれており、この定電流源2は抵抗等で構成されているが、半導体集積回路毎に基準電流値のバラツキが生じ易い。即ち、製造プロセス上、定電流源2の素子作り込みにバラツキが生じるため、基準電流値のバラツキが不可避免的に生じる。したがって、基準電流値を補正する必要が生じるが、その補正は半導体集積回路に抵抗を外付けするもので、煩雑な調整作業を余儀なくされていた。

そこで、本発明は上記問題点を解決するものであり、その課題は、外部定電流源から供給される基準電流に基づいてそれと相等しい電流を次段の集積回路に出力する基準電流生成手段を設けることにより、各集積回路毎の定電流補正を不要とした多出力型定電流供給用集積回路を提供することにある。

いて次段の集積回路のための基準電流がカレントミラー回路等の基準電流生成手段によって生成される。特に基準電流生成手段がカレントミラー回路の場合には、入来した基準電流と出力される基準電流との値の同等性が保証される。このため、基準電流を得るための定電流源が集積回路内に作り込まれていないので、集積回路毎の定電流源による基準電流のバラツキが少なく、ただ基準電流の生成のための外部定電流源を調整するだけで済む。

(実施例)

次に、本発明の実施例を添付図面に基づいて説明する。

第1図は本発明の一実施例を示す回路図である。なお、第3図に示す部分と同一部分には同一参照符号を付しその説明は省略する。

本実施例に係るLED駆動用集積回路には、外部定電流源から供給される基準電流 I を受ける基準電流入力端子 S_{IN} が設けられている。また、この基準電流入力端子 S_{IN} を介して入来する基準

(課題を解決するための手段)

上記課題を解決するために、本発明の講じた手段は、基準電流を内部的に多出力の定電流を得るために生成するのではなく、外部から付与される基準電流を多出力の定電流の生成のために用い、しかもその基準電流に基づいてそれと相等しい電流を出力端子を介してカスケード接続されるべき次段の集積回路の基準電流入力端子へ供給する基準電流生成手段を設けたものである。例えば、この基準電流生成手段としてはカレントミラー回路で構成される。

(作用)

かかる構成によれば、外部定電流源と定電流入力端子とを接続し、次段用基準電流出力端子と次段の集積回路の基準電流入力端子とを接続したカスケード接続構造とすると、各集積回路内では入来する基準電流に基づいてカレントミラー回路等の定電流生成手段によって各定電流出力端子を介して定電流がLED等の被駆動素子に供給される。また、各集積回路内では入来する基準電流に基づ

電流 I と等しい定電流を得るカレントミラー回路3と、定電流出力端子 T_1, \dots, T_n に対して1対1に多数の定電流出力を生成するカレントミラー回路4とを備えている。

トランジスタ Q_c, Q_d, Q_e はカレントミラー回路5を構成しており、これは基準電流 I に基づいてそれと同等の定電流 I を生成する。生成された定電流 I は次段の集積回路の基準電流として用いられ、次段用基準電流出力端子 S_{OUT} を介して出力される。

第2図は同実施例のLED集積回路の使用態様を示す回路図である。

本使用例においては、3個のLED集積回路40, 50, 60がカスケード接続されている。第1番目の集積回路40の基準電流入力端子 S_{IN} には外部の定電流源2が接続され、第1番目の集積回路40の基準電流出力端子 S_{OUT} と第2番目の集積回路50の基準電流入力端子 S_{IN} とが接続されている。また第2番目の集積回路50の基準電流出力端子 S_{OUT} と第3番目の集積回路60の基準電流入力端子 S_{IN}

とが接続されている。外部の定電流源2から集積回路40の基準入力端子 S_{in} へ基準電流 I_0 が供給されると、これに基づいてカレントミラー回路4が各定電流出力端子 $T_1 \sim T_n$ を介して各LEDに定電流を供給すると共に、カレントミラー回路5が次段集積回路50のための基準電流 I_0 を生成し、これが集積回路40の基準電流出力端子 S_{out} を介して次段の集積回路50の基準電流入力端子 S_{in} へ供給される。このため、集積回路50も各LEDに定電流を供給すると共に、集積回路60に基準電流 I_0 を供給する。

このように、LED駆動用集積回路内には、それ自身に必要な基準電流を生成するためのカレントミラー回路ではなく、次段の集積回路に必要とされる基準電流を生成するためのカレントミラー回路5が形成されているため、各段の基準電流出力端子 S_{out} には相等しい値の基準電流が出力される。このため、集積回路毎の基準電流のバラツキがなく、必要な場合、外部の定電流源の基準電流 I_0 について補正を行えば良い。従来のように

集積回路内に基準電流の生成のための定電流源2を設けた場合、その定電流値の温度特性は集積回路毎でバラツキを呈するが、入力される基準電流に基づいてそれと相等しい電流を出力するカレントミラー回路が内蔵されているため、初段に入力される基準電流が変動したとしても、各段から出力される基準電流値がそれに呼応して必ず一致するので、集積回路毎の温度特性のバラツキも生じない。

なお、上記実施例におけるカレントミラー回路3, 4, 5はバイポーラトランジスタで構成されているが、これに限らず、CMOS等で構成できることは言う迄もない。

(発明の効果)

以上説明したように、本発明は、多数の定電流出力を得るに必要な基準電流を内部的に作成せず、その基準電流を外部から受容してつつ、しかもその基準電流に基づいてそれと相等しい基準電流を次段集積回路のために作成する点に特徴を有するものであるから、次の効果を奏する。

(符号の説明)

- 1 ... V_{DD} 電源端子
- 2 ... 定電流源
- 3, 4, 5 ... カレントミラー回路
- $Q_a, Q_b, Q_c, Q_d, Q_e, Q_o \sim Q_n$... トランジスタ
- S_{in} ... 基準電流入力端子
- S_{out} ... 次段用基準電流出力端子
- $T_1 \sim T_n$... 定電流出力端子
- 40, 50, 60 ... LED駆動用集積回路。

即ち、基準電流値の抵抗トリミング等を集積回路毎に行う必要がない。基準電流生成手段としてカレントミラー回路で構成した場合には、基準電流値のバラツキはカレントミラー回路の素子特性のバラツキにのみ依存するので、基準電流値のバラツキを極力抑制することができる。また、初段の集積回路には外部定電流源を接続する必要があるが、それから生成される基準電流と相等しい電流が各集積回路から作成されるので、集積回路毎の基準電流の温度特性によるバラツキは殆ど発生しない。

4. 図面の簡単な説明

第1図は本発明をLED駆動用集積回路に適用した実施例を示す回路図である。

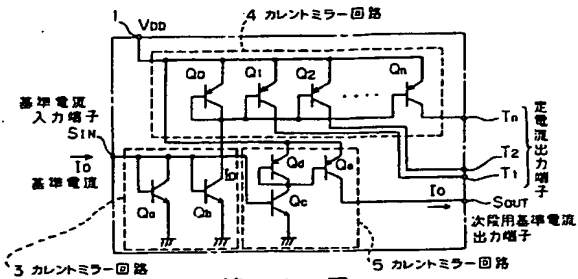
第2図は同実施例の使用態様を示す回路図である。

第3図は従来のLED駆動用集積回路を示す回路図である。

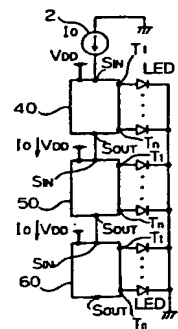
第4図は同従来例の使用態様を示す回路図である。

代理人弁護士 山口 直

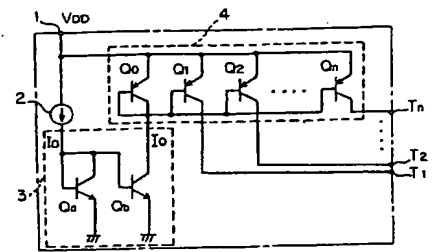




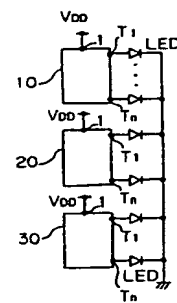
第 1 図



第 2 図



第 3 図



第 4 図